

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

---

**~~IMAGES ARE BEST AVAILABLE COPY.~~**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



## 【特許請求の範囲】

【請求項1】 MOSトランジスタとバイポーラトランジスタを同一半導体基板上に形成する半導体装置において、

前記MOSトランジスタのウェル領域と、前記バイポーラトランジスタの接合分離領域は、複数回の同時のイオン注入で導入された不純物により形成されることを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明はMOSトランジスタとバイポーラトランジスタが同一半導体基板上に形成される半導体装置に関する。

## 【0002】

【従来の技術】pチャンネル型及びnチャンネル型のMOSトランジスタと共に、バイポーラトランジスタを同一基板上に形成するBi-CMOS構造の半導体装置が知られており、その高速度と低消費電力等の利点を活用した素子の研究・開発が進められている。

【0003】ところで、シリコン基板の如き半導体基板上に各素子を集積させて配置する際には、素子間の電気的な分離を行うための素子分離領域が形成される。この素子分離領域の形成方法としては、p型の不純物領域とn型の不純物領域の間のpn接合を利用した接合分離法や、選択酸化法によって形成された厚いフィールド酸化膜(LOCOS膜)を用いて素子間分離をする方法や、或いは素子の間の領域に溝(トレンチ)を形成し、その溝に絶縁膜を埋め込むトレンチ分離法等が知られている。

【0004】そして、特にバイポーラトランジスタの素子分離を行う場合では、ウェル領域を形成する方法と、フィールド酸化膜を形成する方法が知られる。

【0005】例えばnpn型の縦型バイポーラトランジスタに対して素子分離用のp型のウェル領域を形成する場合では、そのトランジスタの構造がn<sup>+</sup>型の埋め込み層をコレクタの一部として用いるため、n<sup>+</sup>型の埋め込み層上のn型のエピタキシャル層の膜厚を貫通し且つ活性領域を包括するような大きなサイズのp型のウェル領域が形成される。

【0006】また、フィールド酸化膜を形成する方法では、同様に埋め込み層の位置よりも深い位置に、p型のシリコン基板が存在するために、そのp型のシリコン基板に到達するような深さ1μm程度の厚いフィールド酸化膜が形成される。

## 【0007】

【発明が解決しようとする課題】ところが、pMOS及びnMOSトランジスタとバイポーラトランジスタを同一半導体基板上に形成するBi-CMOS構造の半導体装置では、次のような素子分離領域の形成時の問題が生ずる。

【0008】例えば、バイポーラトランジスタにおける素子分離をp型のウェル領域の形成によって行う場合では、p型のウェル領域を大きなサイズで形成する必要があるため、高温で長時間かけて徐々に不純物を拡散させてp型のウェル領域が形成される。ところが、高温長時間でウェル領域を形成した場合では、埋め込み層の再分布が生じ、エピタキシャル層の不純物濃度分布が変化してバイポーラトランジスタの特性が変化する。

【0009】また、バイポーラトランジスタを1μm程度の厚いフィールド酸化膜により素子間分離する場合では、同じ膜厚のフィールド酸化膜をそのままMOSトランジスタの素子分離に利用することができないことから、Bi-CMOS構造の半導体装置を完成するためには、厚い膜厚と薄い膜厚の2種類の膜厚のフィールド酸化膜が必要となり、工程数が大幅に増大してしまう。

【0010】さらに、CMOS構造には、特有のラッチアップ現象があり、ラッチアップ耐性を向上させることも高集積化を図る上で不可欠である。

【0011】そこで、本発明は上述の技術的な課題に鑑み、バイポーラトランジスタとMOSトランジスタを同一半導体基板上に形成する半導体装置において、バイポーラトランジスタの素子分離領域に際して、埋め込み層の再分布等が発生せず、且つ工程数の増大を招かず、更にラッチアップ耐性にも良好な構造の半導体装置の提供を目的とする。

## 【0012】

【課題を解決するための手段】上述の目的を達成するために、本発明の半導体装置は、MOSトランジスタとバイポーラトランジスタを同一半導体基板上に形成する半導体装置において、前記MOSトランジスタのウェル領域と、前記バイポーラトランジスタの接合分離領域は、複数回の同時のイオン注入で導入された不純物により形成されることを特徴とする。

【0013】本発明の半導体装置に形成されるMOSトランジスタをCMOS構造とする場合では、例えばnpn型のバイポーラトランジスタの接合分離と、nMOSトランジスタのp型のウェル領域を複数回の同時のイオン注入で形成できる。半導体基板が埋め込み層上にエピタキシャル層を積層した構造である場合、p型のウェル領域については、不純物のピークをn型の埋め込み層から離間した位置に有するものとして行うことができる。

## 【0014】

【作用】バイポーラトランジスタの接合分離を複数回のイオン注入から構成することで、エピタキシャル層を貫通するような深い深さの接合分離が同一マスクを用いながら形成できることになる。従って、高温長時間の拡散や厚いフィールド酸化膜の形成等は不要となる。また、その接合分離の形成のためのイオン注入と同工程で、MOSトランジスタのウェル領域を形成することで、そのウェル領域の濃度のピークの位置がエピタキシャル層中

になる。このためラッチアップ耐性が良好となり、また、そのウェル領域及び接合分離の形成のために何ら工程数の増加もない。

#### 【0015】

【実施例】本発明の好適な実施例を図面を参照しながら説明する。

【0016】図1にその断面図を示すように、本実施例のBi-CMOS構造の半導体装置は、バイポーラトランジスタ2と、nMOSTランジスタ20及びpMOSTランジスタ21を同一のp型のシリコン基板1上に形成した構造を有する。本実施例は、Bi-CMOS構造の例えばSRAMであり、MOSTランジスタによりメモリセル等が形成され、バイポーラトランジスタにより周辺回路等が形成される。

【0017】まず、バイポーラトランジスタ2は、p型のシリコン基板1上にSb若しくはAsが高濃度にドーパされたn<sup>+</sup>型の埋め込み層3を有し、シリコン基板1上及びn<sup>+</sup>型の埋め込み層3上にはエピタキシャル成長により形成されたn型のエピタキシャル層4を有する。

【0018】n型のエピタキシャル層4には、当該エピタキシャル層4の表面からp型のシリコン基板1に到達するような接合分離領域5が形成される。この接合分離領域5は、p型の不純物を2回のイオン注入によって打ち込んで形成された領域であり、深さは1〜2μm程度のものとなる。この接合分離領域5は、従来の如き高温長時間の不純物拡散や厚いフィールド酸化膜の形成を要せずに、素子間分離をなすものである。

【0019】n型のエピタキシャル層4の表面には、フィールド酸化膜6が形成されている。このフィールド酸化膜6は、MOSTランジスタの素子分離のためのフィールド酸化膜6と共に形成される膜であり、選択酸化法によって形成された膜である。このフィールド酸化膜6はエピタキシャル層4の全膜厚に亘って形成されるものではないために、それ自体バイポーラトランジスタの素子分離に充分な膜厚ではないが、代わりに前記接合分離領域5を有するため、バイポーラトランジスタの素子分離には問題が生じない。

【0020】n<sup>+</sup>型の埋め込み層3には、コレクタ取り出しのためのプラグ領域7が接続する。プラグ領域7はn<sup>+</sup>型の高濃度不純物拡散領域からなり、底部でn<sup>+</sup>型の埋め込み層3に接続し、エピタキシャル層4を貫通してフィールド酸化膜2の間から基板表面に取り出される。

【0021】プラグ領域7に対してフィールド酸化膜2を以て隔てられたn<sup>+</sup>型の埋め込み層3上のエピタキシャル層4の基板表面には、ベース領域8、9及びエミッタ領域10が形成される。本実施例のバイポーラトランジスタのベース構造は、外部ベース（グラフトベース）領域8と内部ベース（イントリンシックベース）領域9の組合せからなる構造とされ、内部ベース領域9の方が

拡散層の厚みが薄くされる。その内部ベース領域9の内側には、表面に被着された薄いポリシリコン膜11からの拡散によりエミッタ領域10が形成される。

【0022】このようなベース領域8、9やエミッタ領域10が形成される基板表面上には、層間絶縁膜12が被覆され、さらにその層間絶縁膜12上には、リフロー膜13も形成される。これら層間絶縁膜12やリフロー膜13は次に説明するMOSTランジスタのものと共通である。そして、これら層間絶縁膜12及びリフロー膜13には、エミッタ、コレクタ、ベース用の各コンタクトホール14e、14c、14bが形成されると共に、接合分離領域5への給電用のコンタクトホール14iも形成される。そして、各コンタクトホール14e、14c、14b及び14iを介して、アルミニウム系配線層からなるそれぞれエミッタ電極15e、コレクタ電極15c、ベース電極15b及び素子分離用電極15iが形成される。エミッタ電極15eはポリシリコン膜11を介してエミッタ領域10に接続し、ベース電極15eは外部ベース領域8を介して内部ベース領域9に接続し、コレクタ電極15cはプラグ領域7を介してn<sup>+</sup>型の埋め込み層3及びn型のエピタキシャル層4に接続する。

【0023】次に、MOSTランジスタ側はnMOSTランジスタ20とpMOSTランジスタ21の両方を有するCMOS構造とされる。

【0024】nMOSTランジスタ20の構造は、p型のシリコン基板1上にバイポーラトランジスタと同様のn<sup>+</sup>型の埋め込み層3を有し、そのn<sup>+</sup>型の埋め込み層3上にp型のウェル領域22を有する構造とされる。このp型のウェル領域22はn型のエピタキシャル層4に形成されたウェル領域であり、特に、接合分離領域5の形成のための2度のイオン注入と共に形成された領域である。このp型のウェル領域22は、後述するような不純物濃度分布（図2参照）を有するために、ラッチアップに強い構造となる。nMOSTランジスタ20の下部にn<sup>+</sup>型の埋め込み層3を形成することで、メモリセルのソフトエラー対策となり、ECLレベル用入出力にも便宜である。

【0025】そのp型のウェル領域22の表面には、ゲート絶縁膜23を介してゲート電極24が形成される。ゲート電極24はポリシリコン層やタングステンシリサイドの如きポリサイド構造などからなる。ゲート電極24の側壁には、スペーサとしてのサイドウォール25が形成され、これらゲート電極24やサイドウォール25は、バイポーラトランジスタと共通の層間絶縁膜12及びリフロー膜13に被覆される。

【0026】nMOSTランジスタ20のn型の拡散層26、26はp型のウェル領域22の表面に形成され、その拡散層26、26がソース領域、ドレイン領域として機能する。拡散層26、26はゲート電極24及びフィールド酸化膜6等をマスクとするイオン注入の不純物

10

20

30

40

50

によってセルフアラインで形成される。これら拡散層26、26上には、層間絶縁膜12及びリフロー膜13を貫通するコンタクトホール27がそれぞれ形成され、このコンタクトホール27を介しソース電極28s、ドレイン電極28dがパターンニングされたアルミニウム系配線層によって形成されている。

【0027】次に、pMOSトランジスタ21の構造は、シリコン基板1上にn<sup>+</sup>型の埋め込み層3を有し、その上にn型のエピタキシャル層4が積層される基板構造を有する。特にn型のウェル領域は形成されず、基板自体の構造はバイポーラトランジスタと同じとなる。nMOSトランジスタ20と同様なゲート絶縁膜23、ゲート電極24、サイドウォール25が形成され、これらは層間絶縁膜12とリフロー膜13に被覆される。

【0028】pMOSトランジスタ21のp型の拡散層30、30は、n型のエピタキシャル層4の表面にフィールド酸化膜6やゲート電極24等をマスクとして形成され、これら拡散層30、30に層間絶縁膜12及びリフロー膜13に形成されたコンタクトホール31、31を介してソース電極32s、ドレイン電極32dが接続する。

【0029】概ね以上のような構造を有する本実施例の半導体装置は、図2及び図3に示すような不純物濃度分布を有する。

【0030】まず、図2は図1のI-I'-I-I'線に沿ったMOSトランジスタのチャンネル部分の基板の深さ方向における不純物濃度分布を示す。図2の横軸は基板の深さ(μm)であり、縦軸は不純物濃度(c<sub>m</sub><sup>-3</sup>)である。図2中において、最も基板の深い部分には、p型のシリコン基板1のプロファイルP<sub>sub</sub>があり、そのすぐ浅い側には埋め込み層3のプロファイルN<sub>BL</sub>がある。埋め込み層3の不純物濃度は比較的に高くその分布も厚い範囲に及ぶ。そして、その埋め込み層3の基板表面側には、最初のイオン注入で形成された不純物プロファイルP#1(実線)と、2度目のイオン注入で形成された不純物プロファイルP#2(破線)とが位置する。

【0031】ここで、不純物プロファイルP#1、P#2に着目すると、まず、不純物プロファイルP#1の不純物濃度のピークは、埋め込み層3より離れた位置(深さ)にあり、n型のエピタキシャル層中に存在する。このためラッチアップ耐性が確保される。また、不純物プロファイルP#2は、不純物プロファイルP#1よりもやや基板の深い位置に分布するものであり、基板表面より隔離された分布であるために、全くnMOSトランジスタの動作特性に影響しない。また、不純物プロファイルP#1のみならず、不純物プロファイルP#2も埋め込み層3より浅い領域でのp型の不純物の分布に寄与するため、ラッチアップ耐性は良好なものとなる。

【0032】図3は、図1のI-I'-I-I'線に沿ったバイポーラトランジスタの接合分離領域5の付近の深さ

方向における不純物濃度分布を示す。図3の横軸は基板の深さ(μm)であり、縦軸は不純物濃度(c<sub>m</sub><sup>-3</sup>)である。図3中において、基板の深い部分には、p型のシリコン基板1のプロファイルP<sub>sub</sub>があり、そのシリコン基板1の基板表面側には、図2と同様な最初のイオン注入で形成された不純物プロファイルP#1(実線)と、2度目のイオン注入で形成された不純物プロファイルP#2(破線)とが位置する。

【0033】この図3の不純物プロファイルP#1、P#2は、図2のそれと同一の工程で同時に形成されるため、同じ分布となる。不純物プロファイルP#1のみを主にMOSトランジスタのラッチアップ耐性の点から形成した場合には、p型のシリコン基板1の表面側にn型のエピタキシャル層4が残存して、素子分離ができなくなる。そこで、注入エネルギーを高エネルギー化した2度目のイオン注入によって不純物プロファイルP#2を不純物プロファイルP#1に一部重なり、且つn型のエピタキシャル層4を遮断するように形成することで、素子分離領域として機能できることになる。

【0034】図4は本実施例の半導体装置における2度のイオン注入工程を説明するための工程断面図である。

【0035】その前提として、p型のシリコン基板1上には、MOSトランジスタを形成すべき領域及びコレクタ領域を形成すべき領域に対応して選択的にn<sup>+</sup>型の埋め込み層3が形成される。n<sup>+</sup>型の埋め込み層3は、例えばSbを導入して形成されるが、Asを用いても良い。そして、n<sup>+</sup>型の埋め込み層3及び該n<sup>+</sup>型の埋め込み層3の形成されていないシリコン基板1上には、エピタキシャル成長法によってn<sup>-</sup>型のエピタキシャル層4が積層される。そして、このn<sup>-</sup>型のエピタキシャル層4の表面には選択酸化法によってフィールド酸化膜6がMOSトランジスタの素子分離に充分な膜厚で選択的に形成される。

【0036】次に、図4に示すように、レジスト層40からなるレジストマスクが形成される。このレジスト層40はnMOSトランジスタの素子形成領域に対応する開口部44と、バイポーラトランジスタトランジスタの接合分離領域に対応する開口部43を有し、pMOSトランジスタ等の同一基板上の他の領域には開口部が形成されない。

【0037】このレジスト層40を形成した後、最初のイオン注入によって不純物打ち込み領域41i、41wが同時に形成される。このイオン注入の際のマスクは、レジスト層40及びフィールド酸化膜6であり、少なくともMOSトランジスタのラッチアップ耐性が保たれるように、エピタキシャル層4中の深さ方向の或る範囲に亘って不純物打ち込み領域41i、41wが同時に形成される。

【0038】この最初のイオン注入のみでは、拡散後においても不純物打ち込み領域41wの下部にn<sup>-</sup>型のエ

10

20

30

40

50

ピタキシャル層4が残存し、その結果素子分離ができなくなるため、最初のイオン注入に連続して第2回目のイオン注入を行う。この第2回目のイオン注入は、同じレジスト層40を使用し、同じドーパント若しくは同導電型で異なるドーパントで、打ち込みのエネルギーを高エネルギーに変化させて形成する。その第2回目のイオン注入により、不純物打ち込み領域41i、41wの直下に一部重複した分布を有する不純物打ち込み領域42i、42wが形成される。

【0039】以下、レジスト層40を除去し、アニールによって不純物打ち込み領域41i、41w及び42i、42wの不純物を拡散させ、図1に示す接合分離領域5及びp型のウェル領域22を同一の工程でエピタキシャル層4中に形成する。

【0040】上述の工程によって、同一のマスクを用いながら、単にエネルギーを変化させるのみで何ら工程数の増加なく接合分離領域5及びp型のウェル領域22を形成することができる。その結果、埋め込み層の再分布や2種類のフィールド酸化膜の形成等の問題なく、バイポーラトランジスタの確実な素子分離がなされ、加えてCMOS構造のラッチアップ対策が有効に行われることになる。

【0041】なお、本実施例では、イオン注入の順序を初めに低エネルギーとし、次に高エネルギーとしたが、逆でも良く、また、2回に限定されず3回以上のイオン注入によりウェル領域と接合分離領域を形成しても良い。

【0042】

【発明の効果】本発明の半導体装置は、バイポーラトランジスタの接合分離領域とMOSトランジスタのウェル領域が複数回のイオン注入により形成される構造とされる。このため接合分離に十分な深さで不純物を打ち込むと同時に、ラッチアップにも有効なプロファイルで不純物を打ち込むことができ、そのために特に工程数が増加するようなこともない。

【0043】すなわち、イオン注入のみで十分な接合分離が形成されるため、厚いフィールド酸化膜の形成等は不要となり、高温長時間の拡散等が不要なため、埋め込

み層の再分布も発生しない。また、埋め込み層と隣接した不純物プロファイルのピークを有するようにウェル領域を形成することで、ラッチアップ耐性の低下が防止されることになる。

【0044】

【図面の簡単な説明】

【図1】本発明の実施例のBi-CMOS構造の半導体装置の構造を示す要部断面図である。

【図2】図1のI-I線に沿った前記実施例にかかるnMOSトランジスタの基板部分の不純物濃度分布図である。

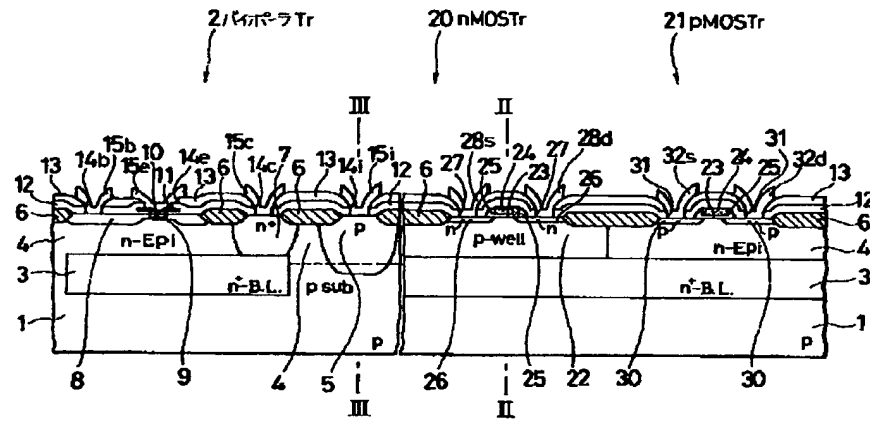
【図3】図1のI-I-I-I線に沿った前記実施例にかかるバイポーラトランジスタの接合分離領域部分の不純物濃度分布図である。

【図4】前記実施例の半導体装置の製造工程のうちの複数回のイオン注入工程における工程断面図である。

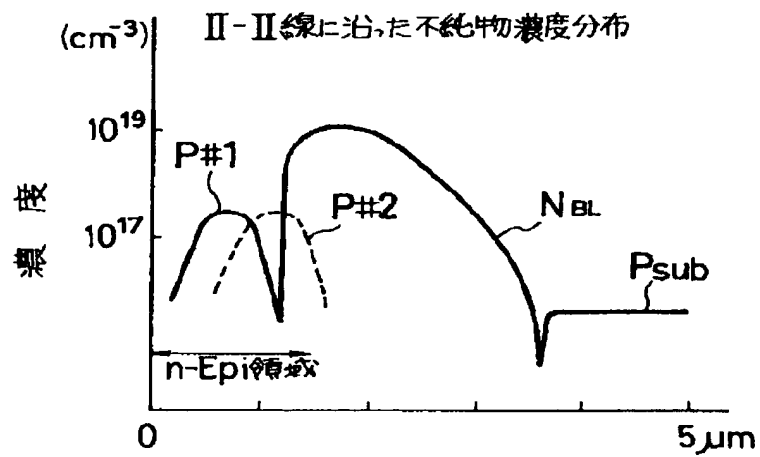
【符号の説明】

- 1…シリコン基板
- 2…バイポーラトランジスタ
- 3…埋め込み層
- 4…エピタキシャル層
- 5…接合分離領域
- 6…フィールド酸化膜
- 7…プラグ領域
- 8…外部ベース領域
- 9…内部ベース領域
- 10…エミッタ領域
- 11…ポリシリコン膜
- 12…層間絶縁膜
- 13…リフロー膜
- 20…nMOSトランジスタ
- 21…pMOSトランジスタ
- 22…p型のウェル領域
- 23…ゲート絶縁膜
- 24…ゲート電極
- 25…サイドウォール
- 26, 30…拡散層

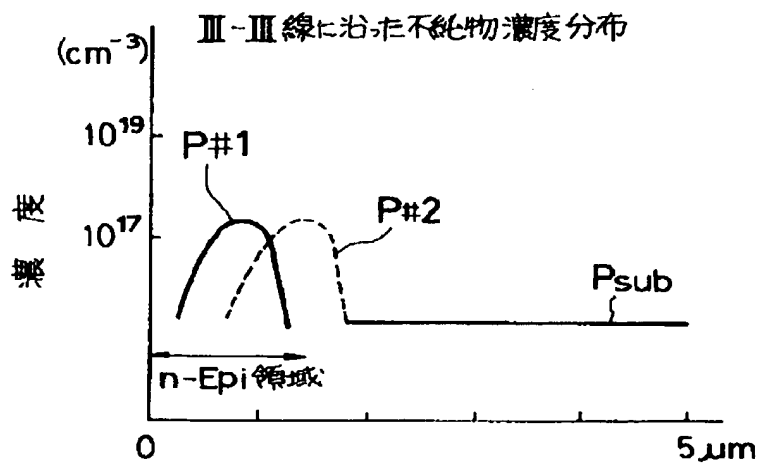
【図1】



【図2】



【図3】







DOCUMENT-IDENTIFIER: JP 05109994 A  
TITLE: SEMICONDUCTOR DEVICE

CCXR:  
257/370

FPAR:

PURPOSE: To form an element isolation region of a bipolar transistor while increasing the number of processes and preventing a redistribution of impurities and to improve a latchup resistance of a CMOS structure in a Bi-CMOS structure.

FPAR:

CONSTITUTION: A junction isolation 5 of a well 22 of a MOS transistor 20 and a bipolar transistor 2 are simultaneously formed by ion implanting a plurality of times. Since the isolation 5 to a deep depth to pass through an epitaxial layer 4 is obtained by ion implanting a plurality of times and formed simultaneously in the process of forming the region 22 of the transistor 20, the number of the processes is not increased. Since a position of a peak of the region 22 becomes an intermediate part of the layer 4, a latchup resistance is improved.